

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-045183

(43)Date of publication of application : 14.02.2003

(51)Int.Cl.

G11C 11/407  
H03L 7/081

(21)Application number : 2002-183183 (71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 24.06.2002 (72)Inventor : JUNG HEA-SUK

(30)Priority

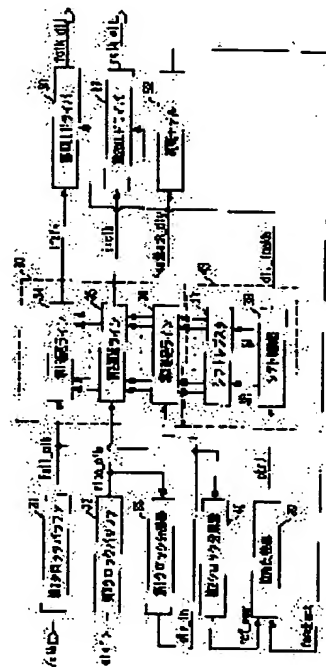
Priority number : 2001 200138871 Priority date : 30.06.2001 Priority country : KR

(54) REGISTER CONTROL DELAY LOCK LOOP, AND SEMICONDUCTOR MEMORY DEVICE PROVIDED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a register control delay lock loop(DLL) which can decrease the number of unit delay elements of a delay line for compensating delay.

SOLUTION: In a semiconductor memory device comprising a register control DLL and an internal circuit operated synchronizing with a DLL clock signal outputted from the DLL, the device is provided with a clock frequency-dividing means in which an internal clock synchronizing with a clock edge of an external clock is frequency-divided and a frequency-dividing clock is generated, a clock generating means for generating a reference clock having phase difference of a half period between a delay frequency-dividing clock and an external clock, a delay model for reflecting delay conditions of an actual internal clock path to a delay frequency-dividing clock, a phase comparing means for comparing a phase of an output signal of a delay model with a phase of a reference clock, and a delay control means for responding to a compared result of the phase comparing means and for controlling delay quantity of the delay frequency-dividing clock and the internal clock.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other

than the examiner's decision of rejection  
or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項1】 レジスタ制御ディレイロックループと、そこから出力されたDLLクロック信号に同期して動作する内部回路とを含む半導体メモリデバイスであって、外部クロックのクロックエッジに同期した内部クロックを分周して分周クロックを生成するクロック分周手段と、

前記分周クロックと外部クロックの半周期分の位相差を有する基準クロックを生成する基準クロック生成手段と、

前記分周クロックに実際の内部クロック経路の遅延条件を反映させて出力する遅延モデルと、

前記遅延モデルの出力信号と前記基準クロックの位相を比較する位相比較手段と、

前記位相比較手段の比較結果に応答して前記分周クロックの遅延量及び前記内部クロックの遅延量を制御するとともに、前記遅延モデルの出力信号と前記基準クロックの位相のズレが最小になったときに位相ロック信号を出力する遅延制御手段とを備えてなる半導体メモリデバイス。

【請求項2】 請求項1に記載の半導体メモリデバイスであって、

さらに、前記遅延制御手段から出力された前記位相ロック信号に応答して、遅延量が制御された前記内部クロックを駆動するためのDLLクロック駆動手段を備えてなることを特徴とする半導体メモリデバイス。

【請求項3】 請求項1または2に記載の半導体メモリデバイスにおいて、前記遅延制御手段は、

前記位相比較手段の出力に応答してシフト方向を制御するためのシフト制御器と、

前記シフト制御器から出力されたシフト制御信号に応答して、第1及び第2遅延ラインによる内部クロックの遅延量を決定するためのシフトレジスタとを備えていることを特徴とする半導体メモリデバイス。

【請求項4】 レジスタ制御ディレイロックループであって、

外部クロックのクロックエッジに同期された内部クロックを分周して、分周クロックを生成するクロック分周手段と、

前記分周クロックに対して外部クロックの半周期分の位相差を有する基準クロックを生成する基準クロック生成手段と、

前記分周クロックに実際の内部クロック経路の遅延条件を反映させて出力する遅延モデルと、

前記遅延モデルの出力信号と前記基準クロックとの位相を比較するための位相比較手段と、

前記位相比較手段の比較結果に応答して前記分周クロックの遅延量及び前記内部クロックの遅延量を制御するとともに、前記遅延モデルの出力信号と前記基準クロックの位相のズレが最小になったときに位相ロック信号を出

力する遅延制御手段とを備えてなることを特徴とするレジスタ制御ディレイロックループ。

【請求項5】 請求項4に記載のレジスタ制御ディレイロックループであって、

さらに、前記遅延制御手段から出力された位相ロック信号に応答して、遅延量が制御された前記内部クロックを駆動するためのDLLクロック駆動手段を備えてなることを特徴とするレジスタ制御ディレイロックループ。

【請求項6】 請求項4に記載のレジスタ制御ディレイロックループにおいて、

前記遅延制御手段は、

前記位相比較手段の出力に応答してシフト方向を制御するためのシフト制御器と、

前記シフト制御器から出力されたシフト制御信号に応答して、第1及び第2遅延ラインによる内部クロックの遅延量を決定するためのシフトレジスタとを備えていることを特徴とするレジスタ制御ディレイロックループ。

【請求項7】 DDR-SDRAM素子であって、外部クロックの第1のクロックエッジに同期した第1内部クロックを分周して遅延監視クロックを生成する第1クロック分周手段と、

外部クロックの第2のクロックエッジに同期した第2内部クロックを分周して基準クロックを生成する第2クロック分周手段と、

前記遅延監視クロックに実際の内部クロック経路の遅延条件を反映させて出力する遅延モデルと、

前記遅延モデルの出力信号の位相と前記基準クロックの位相とを比較する位相比較手段と、

前記位相比較手段の比較結果に応答して、前記遅延監視クロック、前記第1及び第2内部クロックの遅延量を制御するとともに、前記遅延モデルの出力信号と前記基準クロックの位相のズレが最小になったときに位相ロック信号を出力する遅延制御手段と、

前記遅延制御手段から出力された位相ロック信号に応答して、遅延量が制御された前記第1及び第2内部クロックを駆動するための第1及び第2DLLクロック駆動手段とを備えてなるDDR-SDRAM素子。

【請求項8】 請求項7に記載のDDR-SDRAM素子において、

前記遅延制御手段は、

前記位相比較手段の出力に応答して、シフト方向を制御するためのシフト制御器と、

前記シフト制御器から出力されたシフト制御信号に応答して、第1及び第2遅延ラインによる第1及び第2内部クロックの遅延量並びに第3遅延ラインによる基準クロックの遅延量を決定するためのシフトレジスタとを備えていることを特徴とするDDR-SDRAM素子。

【請求項9】 請求項7に記載のDDR-SDRAM素子において、

前記第1クロックエッジは立上りエッジであり、前記第

2クロックエッジは立下りエッジであることを特徴とするDDR-SDRAM素子。

【請求項10】 請求項7に記載のDDR-SDRAM素子において、

前記第1クロックエッジは立下りエッジであり、前記第2クロックエッジは立上りエッジであることを特徴とするDDR-SDRAM素子。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】この発明は、半導体回路技術に関し、特に、ディレイロックループ(delay-locked loop:DLL)に関し、より詳細には、レジスタ制御ディレイロックループ(register-controlled DLL)に関する。

【0002】

【従来の技術】通常、システムや回路において、クロック信号は、動作タイミングを合わせるための基準信号として用いられており、エラーなしに高速動作させることを保証するためにも用いられる。外部回路から入力されるクロックが内部回路で用いられる場合、内部回路による時間遅延(クロックスキュー(clock skew))が発生するが、そのような時間遅延を補償して、内部クロックが外部クロックと同じ位相を有するようにするために、DLLが用いられている。

【0003】一方、DLLは、従来用いられてきたフェイズロックループ(PLL)に比べて、雑音(noise)の影響をあまり受けないという長所があって、DDR-SDRAM(Double Data Rate Synchronous DRAM)を始めとする同期式半導体メモリ等の半導体デバイスで広く用いられており、その中でもレジスタ制御DLL(register-controlled DLL)が最も一般的に用いられている。

【0004】添付の図面中、図3は、従来の技術に係るDDR-SDRAMのレジスタ制御DLLのブロック図である。図3を参照しながら説明すると、従来の技術に係るDDR-SDRAMのレジスタ制御DLLは、反転外部クロック/clockを入力として、外部クロックclockの立下りエッジに同期した内部クロックfall\_clkを生成する第1クロックバッファ11と、外部クロックclockを入力として外部クロックclockの立上りエッジに同期した内部クロックrise\_clkを生成する第2クロックバッファ12と、外部クロックclockの立上りエッジに同期した内部クロックrise\_clkを $1/n$ ( $n$ は正の整数であり、通常 $n=8$ )に分周して、遅延監視クロックdiv\_in及び基準クロックrefを出力するクロック分周器13と、外部クロックclockの立下りエッジに同期した内部クロックfall\_clkを入力とする第1遅延ライン14と、外部クロックclockの立上りエッジに同期した内部クロックrise\_clkを入力とする第2遅延ライン15と、遅延監視クロックdiv\_inを入力とする第3遅延ライン16と、遅延ユニット10を成す第1、第2、第3遅延ライン14、15、16の遅延量を決定するシフトレジスタ17と、第1遅延ライ

ン14の出力ifclkを受けてDLLクロックfclk\_dllを生成する第1DLLドライバ20と、第2遅延ライン15の出力ircclkを受けて、DLLクロックrclk\_dllを生成する第2DLLドライバ21と、第3遅延ライン16の出力feedback\_dlyを入力としてクロックfeedback\_dlyが実際のクロック信号伝達経路と同じ遅延条件を経るように構成された遅延モデル22と、遅延モデル22の出力feedbackと基準クロックrefの位相とを比較する位相比較器19と、位相比較器19から出力された制御信号ctrlにตอบสนองしてシフトレジスタ17のシフト方向を制御するためのシフト制御信号SR、SL及びディレイロック(delay locking)がなされたことを表すディレイロック信号dll\_lockbを出力するシフト制御器18とを備えている。

【0005】ここで、遅延モデル22は、ダミークロックバッファ、ダミー出力バッファ、及びダミーロードを含んでおり、レプリカ回路(replica circuit)とも呼ばれる。そして、シフトレジスタ17及びシフト制御器18をまとめて、遅延制御ユニット23と呼ぶ。

【0006】図4は、図3のレジスタ制御DLLの各部の信号波形を示すタイミング図であり、以下これを参照しながら従来の技術に係るレジスタ制御DLLの動作を説明する。

【0007】まず、第1クロックバッファ11は、外部クロックclkの逆相信号/clockを受けて、外部クロックclockの立下りエッジに同期した内部クロックfall\_clkを発生させ、第2クロックバッファ12は、外部クロックclockを受けて、外部クロックclockの立上りエッジに同期した内部クロックrise\_clkを発生させる。クロック分周器13は、外部クロックclockの立上りエッジに同期した内部クロックrise\_clkを $1/n$ 分周して、外部クロックclockの $n$ 番目のパルスごとに1回ずつ同期した基準クロックref及び遅延監視クロックdiv\_inを作る。基準クロックref及び遅延監視クロックdiv\_inは、いずれも外部クロックclockの立上りエッジに同期した内部クロックrise\_clkを分周した信号であるので、外部クロックclockの周期に相当するパルス幅を有する。そして、基準クロックrefと遅延監視クロックdiv\_inは、互いに逆相である。

【0008】初期動作の際、遅延監視クロックdiv\_inは、遅延ユニット10内の第3遅延ライン16を通過して、feedback\_dlyクロックとして出力され、このクロックは、また遅延モデル22を経て遅延され、遅延クロックfeedbackとして出力される。ここで、クロックfeedbackは、クロックfeedback\_dlyに対して、遅延モデル22の遅延時間 $t_B$ だけ遅延された信号である。

【0009】一方、位相比較器19は、比較基準である基準クロックrefの立上りエッジとクロックfeedbackの立上りエッジとを比較して、制御信号ctrlを生成し、シフト制御器18は、制御信号にctrlตอบสนองして、シフトレジスタ17のシフト方向を制御するためのシフト制御信

号SR、SLを出力する。シフトレジスタ17は、シフト制御信号SR、SLにตอบสนองして、第1、第2及び第3遅延ライン14、15、16の遅延量を決定する。この場合、SR(shift right)が入力されれば、レジスタを右に移動させ、SL(shift left)が入力されれば、レジスタを左に移動させる。その後、遅延量が制御されたfeedbackクロックと基準クロックrefとを比較しながら、二つのクロックが最小のズレ量を有する瞬間、ディレイロック(delay locking)がなされ、シフト制御器18からディレイロック信号dll\_lockbが出力され、第1及び第2DLLドライバ20、21を駆動することによって、外部クロックclkと同じ位相を有するDLLクロックfclk\_dll、rclk\_dllが得られる。

【0010】このように、従来のレジスタ制御DLLは、外部クロックclkと内部クロックrise\_clk、fall\_clkとの位相差を補償するために、2個の分周信号を生成して比較するが、外部クロックclkの立上りエッジに同期した内部クロックrise\_clkを受けて、n番目のクロックごとに一回ずつtCKのパルス幅を有する基準クロックrefと遅延監視クロックdiv\_inがそれぞれである。基準クロックrefは、遅延監視クロックdiv\_inと逆の位相を有し、div\_inの立上りエッジから時間tCK後に、立上りエッジを有する。したがって、遅延監視クロックdiv\_inが遅延ユニット10と遅延モデル22を経て遅延されて生成された遅延クロックfeedbackの立上りエッジと基準クロックrefの時間tCK後の立上りエッジとを比較しながら、二つの信号間の位相差を減らすように作用するのである。

【0011】上述のように、遅延監視クロックdiv\_inは、初期動作の際、一つの単位遅延素子の遅延時間(tD、便宜上0.1nsとする)だけ遅延されてクロックfeedback\_dlyとして出力される。この信号は、さらに遅延モデル22の遅延時間(tB、便宜上3nsとする)だけ遅延されて、比較用の遅延クロックfeedbackとして出力される。初期のクロックfeedback、遅延監視クロックdiv\_inが第3遅延ライン16の単位遅延素子と遅延モデル22を経た信号であるので、遅延監視クロックdiv\_inの立上りエッジから3.1ns後に立ち上がる。

【0012】一方、基準クロックrefは、遅延監視クロックdiv\_inとtCKだけの時間差を有するため、tCKが15nsであるとすれば、クロックfeedbackは、基準クロックrefの立上りエッジより $tCK - (tD + tB) = 15ns - 3.1ns = 11.9ns$ だけ先に現れる。すなわち、遅延監視クロックdiv\_inが基準クロックrefと同じ位相を有するためには、遅延ラインにおいて $tCK(15ns) - tB(3ns) = tA(12ns)$ だけを補償すべきである。この場合、0.1nsの遅延時間を有する単位遅延素子で12nsを補償するためには、120個(12ns/0.1ns)の単位遅延素子が必要である。結局、内部クロックrise\_clk、fall\_clkは、上記で決定した単位遅延素子の数(120個)の遅延ラインを経て、DLLク

ロックとして出力されて、デバイス内部で用いられる。

【0013】前記のように、従来のレジスタ制御DLLは、比較の基準となる信号refと遅延監視クロック信号div\_inが外部クロックclkの周期tCKだけの時間差を有するため、二つの信号が同じ位相を有するように遅延を補償するための遅延ラインの単位遅延素子の数が多くなることによって、位相ロックをするのに掛かる時間が長くなり、DLL動作に必要な電流量とレイアウト面積が大きな問題点となった。

【0014】

【発明が解決しようとする課題】この発明は、上述のような従来の技術の問題点に鑑みてなされたもので、遅延を補償するための遅延ラインの単位遅延素子の数を減らすことのできるレジスタ制御ディレイロックループを提供することを目的とする。

【0015】

【課題を解決するための手段】前記の技術的な課題を達成するためのこの発明の側面によれば、レジスタ制御ディレイロックループ(DLL)とそのDLLから出力されたDLLクロック信号に同期して動作する内部回路とを含む半導体メモリデバイスにおいて、外部クロックのクロックエッジに同期された内部クロックを分周して分周クロックを生成するクロック分周手段と、前記分周クロックに対して外部クロックの半周期分の位相差を有する基準クロックを生成するための基準クロック生成手段と、前記分周クロックに実際の内部クロック経路の遅延条件を反映させて出力する遅延モデルと、前記遅延モデルの出力信号と前記基準クロックの位相を比較する位相比較手段と、前記位相比較手段の比較結果にตอบสนองして前記分周クロックの遅延量及び前記内部クロックの遅延量を制御する遅延制御手段とを備えてなる半導体メモリデバイスが提供される。

【0016】好ましくは、この発明のレジスタ制御ディレイロックループは、遅延制御手段から出力された位相ロック信号にตอบสนองして内部クロックの遅延量を制御するDLLクロック駆動手段をさらに備えている。

【0017】また、好ましくは、前記遅延制御手段は、前記位相比較手段の出力にตอบสนองしてシフト方向を制御するためのシフト制御器と、前記シフト制御器から出力されたシフト制御信号にตอบสนองして遅延ラインによる内部クロックの遅延量を決定するシフトレジスタとを備えている。

【0018】また、この発明の他の側面によれば、DDR-SDRAMのレジスタ制御ディレイロックループにおいて、外部クロックの第1クロックエッジに同期した第1内部クロックを分周して、遅延監視クロックを生成するための第1クロック分周手段と、外部クロックの第2クロックエッジに同期した第2内部クロックを分周して、基準クロックを生成する第2クロック分周手段と、前記遅延監視クロックに実際の内部クロック経路の遅延

条件を反映させて出力するための遅延モデルと、前記遅延モデルの出力信号に位相と前記基準クロックの位相とを比較する位相比較手段と、前記位相比較手段の比較結果に応答して前記遅延監視クロック、前記第1及び第2内部クロックの遅延量を制御するための遅延制御手段と、前記遅延制御手段から出力された位相ロック信号に応答して遅延量が制御された前記第1及び第2内部クロックを駆動するための第1及び第2DLLクロック駆動手段とを備えてなるDDR-SDRAMのレジスタ制御ディレイロックループが提供される。

【0019】好ましくは、前記遅延制御手段は、前記位相比較手段の出力に応答してシフト方向を制御するためのシフト制御機と、前記シフト制御機から出力されたシフト制御信号に応答して、前記第1、第2、第3遅延ラインによる前記第1、第2内部クロック、前記遅延監視クロックの遅延量を決定するシフトレジスタとを備えている。

【0020】この場合、前記第1及び第2クロックエッジは、それぞれ立上りエッジ及び立下りエッジであるか、又はそれぞれ立下りエッジ及び立上りエッジであることができる。

【0021】この発明は、レジスタ制御ディレイロックループにおいて比較の基準となるクロックと遅延監視クロックとが、外部クロックの半周期分( $t_{CK}/2$ )の位相差を有することを特徴とし、そのために、外部クロックの立上りエッジに同期した内部クロックを入力とするクロック分周器と外部クロックの立下りエッジに同期した内部クロックを入力とするクロック分周器とを備えて、それぞれのクロック分周器でそれぞれ遅延監視クロックと基準クロックを生成するようにすることもでき、それにより、この発明は、遅延を補償するための遅延ラインの単位遅延素子の数を既存のものに比べて、50%以上減らすことができる。

【0022】

【発明の実施の形態】以下、この発明の最も望ましい実施例を添付の図面を参照しながら説明する。

【0023】添付図面中、図1は、この発明の一実施例に係るDDR-SDRAMのレジスタ制御DLLのブロック線図である。図1を参照すれば、この実施例に係るDDR-SDRAMのレジスタ制御DLLは、反転外部クロック/ $\text{clk}$ を入力として、外部クロック $\text{clk}$ の立下りエッジに同期した内部クロック $\text{fall\_clk}$ を生成する第1クロックバッファ31と、外部クロック $\text{clk}$ を入力として、外部クロック $\text{clk}$ の立上りエッジに同期した内部クロック $\text{rise\_clk}$ を生成する第2クロックバッファ32と、外部クロック $\text{clk}$ の立上りエッジに同期した内部クロック $\text{rise\_clk}$ を $1/n$  ( $n$ は正の整数であり、通常 $n=8$ )に分周して、遅延監視クロック $\text{div\_in}$ を出力する第1クロック分周器33と、外部クロック $\text{clk}$ の立下りエッジに同期した内部クロック $\text{fall\_clk}$ を $1/n$ に分周

して、基準クロック $\text{ref\_new}$ を出力する第2クロック分周器40と、外部クロック $\text{clk}$ の立下りエッジに同期した内部クロック $\text{fall\_clk}$ を入力とする第1遅延ライン34と、外部クロック $\text{clk}$ の立上りエッジに同期した内部クロック $\text{rise\_clk}$ を入力とする第2遅延ライン35と、遅延監視クロック $\text{div\_in}$ を入力とする第3遅延ライン36と、遅延ユニット30を成す第1、第2、第3遅延ライン34、35、36の遅延量を決定するためのシフトレジスタ37と、第1遅延ライン34の出力 $\text{ifclk}$ を受けてDLLクロック $\text{fclk\_dll}$ を生成する第1DLLドライバ50と、第2遅延ライン35の出力 $\text{ircclk}$ を受けてDLLクロック $\text{rclk\_dll}$ を生成する第2DLLドライバ51と、第3遅延ライン36の出力 $\text{feedback\_dly}$ を入力としてクロック $\text{feedback\_dly}$ が実際のクロック経路と同じ遅延条件を経るように構成された遅延モデル52と、遅延モデル52の出力 $\text{feedback}$ と基準クロック $\text{ref\_new}$ の位相とを比較する位相比較器39と、位相比較器39から出力された制御信号 $\text{ctrl}$ に応答してシフトレジスタ37のシフト方向を制御するためのシフト制御信号 $\text{SR}$ 、 $\text{SL}$ 及びディレイロック( $\text{delay locking}$ )がなされたことを表すディレイロック信号 $\text{dll\_lockb}$ を出力するシフト制御器38とを備えている。ここで、シフトレジスタ37及びシフト制御機38は、遅延制御ユニット43を構成する。

【0024】図2は、図1のレジスタ制御DLLの各部信号波形のタイミング図であり、以下、図2を参照しながら、この実施例に係るレジスタ制御DLLの動作を説明する。

【0025】まず、第1クロックバッファ31は、外部クロックの逆相信号/ $\text{clk}$ を受けて外部クロック $\text{clk}$ の立下りエッジに同期した内部クロック $\text{fall\_clk}$ を発生させ、第2クロックバッファ32は、外部クロック $\text{clk}$ を受けて外部クロック $\text{clk}$ の立上りエッジに同期した内部クロック $\text{rise\_clk}$ を発生させる。第1クロック分周器33は、外部クロック $\text{clk}$ の立上りエッジに同期した内部クロック $\text{rise\_clk}$ を $1/n$ 分周して、外部クロック $\text{clk}$ と $n$ 番目のクロックごとに一回ずつ同期した遅延監視クロック $\text{div\_in}$ を生成し、第2クロック分周器40は、外部クロック $\text{clk}$ の立下りエッジに同期した内部クロック $\text{fall\_clk}$ を $1/n$ 分周して、外部クロック $\text{clk}$ と $n$ 番目のクロックごとに一回ずつ同期した基準クロック $\text{ref\_new}$ を作る。

【0026】遅延監視クロック $\text{div\_in}$ と基準クロック $\text{ref\_new}$ は、いずれも外部クロック $\text{clk}$ の周期 $t_{CK}$ 分のパルス幅を有し、遅延監視クロック $\text{div\_in}$ が立ち上がった時点から時間 $t_{CK}/2$ 後に基準クロック $\text{ref\_new}$ が立ち上がる。

【0027】初期動作の際、遅延監視クロック $\text{div\_in}$ は、遅延ユニット30の第3遅延ライン36を通過して、 $\text{feedback\_dly}$ クロックとして出力され、このクロッ



クは、さらに遅延モデル52を経て遅延されて、クロックfeedbackとして出力される。ここで、クロックfeedbackは、クロックfeedback\_dlyに比較して、遅延モデル52の遅延時間tBだけ遅延されたものである。

【0028】位相比較器39は、基準クロックref\_newの立上りエッジとクロックfeedbackの立上りエッジとを比較して制御信号ctrlを生成し、シフト制御器38は、制御信号ctrlにตอบสนองして、シフトレジスタ37のシフト方向を制御するためのシフト制御信号SR、SLを出力する。シフトレジスタ37は、シフト制御信号SR、SLにตอบสนองして、第1、第2、及び第3遅延ライン34、35、36の遅延量を決定する。この際、SR(shift right)が入力されれば、レジスタを右に移動させ、SL(shift left)が入力されれば、レジスタを左に移動させる。以降、遅延量が制御されたクロックfeedbackと基準クロックref\_newとを比較して、二つのクロックが最小のズレ量を有する瞬間、ディレイロックがなされることになって、シフト制御器38からディレイロック信号dll\_lockbが出力されて、第1及び第2DLLドライバ50、51を駆動することによって、外部クロックclkと同じ位相を有するDLLクロックfclk\_dll、rclk\_dllが得られる。

【0029】このように、この実施例に係るレジスタ制御DLLも、外部クロックclkと内部クロックrise\_clk、fall\_clkとの時間差を補償するために、2個の分周信号を作って比較するが、それらは、外部クロックclkの立上りエッジに同期した内部クロックrise\_clkを受けてn番目のクロックごとに一回ずつ時間tCK分のパルス幅を有する遅延監視クロックdiv\_inと、外部クロックclkの立下りエッジに同期した内部クロックfall\_clkを受けてn番目のクロックごとに一回ずつ時間tCK分のパルス幅を有する基準クロックref\_newである。基準クロックref\_newは、遅延監視クロックdiv\_inの立上りエッジから時間tCK/2の後に立上りエッジを有するために、遅延監視クロックdiv\_inが遅延ユニット30と遅延モデル52を経た信号を時間tCK/2だけ後の基準クロックref\_newと比較しながら、二つの信号間の時間差を減らすのである。

【0030】上述したように、遅延監視クロックdiv\_inは、初期動作の際、一つの単位遅延素子の遅延時間(tD、便宜上0.1nsとする)だけ遅延され、クロックfeedback\_dlyとして出力される。この信号は、また遅延モデル52の遅延時間(tB、便宜上3nsとする)だけ遅延され、クロックfeedbackとして出力される。初期のクロックfeedbackは、遅延監視クロックdiv\_inが単位遅延素子と遅延モデル52を経た信号であるので、遅延監視クロックdiv\_inの立上りエッジから3.1ns後に立ち上がる。

【0031】一方、基準クロックref\_newは、遅延監視クロックdiv\_inとtCK/2だけの時間差を有するため

に、tCKが15nsとすれば、クロックfeedbackは、基準クロックref\_newの立上りエッジより $tCK/2 - (tD + tB) = 7.5ns - 3.1ns = 4.4ns$ だけ先に現れる。すなわち、遅延監視クロックdiv\_inが基準クロックref\_newと同じ位相を有するためには、遅延ラインで $tCK/2(7.5ns) - tB(3ns) = tA(4.5ns)$ だけ補償すべきである。この場合、0.1nsの遅延時間を有する単位遅延素子で4.5nsを補償するためには、45個( $4.5ns/0.1ns$ )の単位遅延素子が必要である。結局、内部クロックrise\_clk、fall\_clkは、前に決定された単位遅延素子の数(45個)だけ、遅延ラインを経て、DLLクロックrclk\_dll、fclk\_dllとして出力されて、デバイス内部で用いられる。このように、この発明を実施すれば、遅延ラインの単位遅延素子の数を50%以上減らすことができる。

【0032】なお、この発明は、上記の実施例に限られるものではない。この発明の趣旨から逸脱しない範囲内で多様に変更実施することが可能である。例えば、上述した実施例ではDDR-SDRAMのレジスタ制御DLLを一例として説明したが、この発明のレジスタ制御DLLは、他の同期式半導体メモリやその他の同期式ロジックにも適用することができる。また、上述した実施例では外部クロックclkの立上りエッジに同期した内部クロックrise\_clkを用いて遅延監視クロックdiv\_inを生成して、外部クロックclkの立下りエッジに同期した内部クロックfall\_clkを用いて基準クロックref\_newを生成する場合を一例として挙げて説明したが、この発明は、これを変えて使用する場合にも適用できる。

#### 【0033】

【発明の効果】上述したようになされるこの発明のレジスタ制御DLLによると、遅延ラインの単位遅延素子の数を50%以上減らすことができ、これによって、位相ロックをなすのに掛かる時間を短縮し、DLL動作に消耗される電流量とレイアウト面積を減らすことにも効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の一実施例に係るDDR-SDRAM用レジスタ制御DLLのブロック線図である。

【図2】 図1のレジスタ制御DLLにおける各部信号波形のタイミング図である。

【図3】 従来の技術に係るDDR-SDRAM用レジスタ制御DLLのブロック線図である。

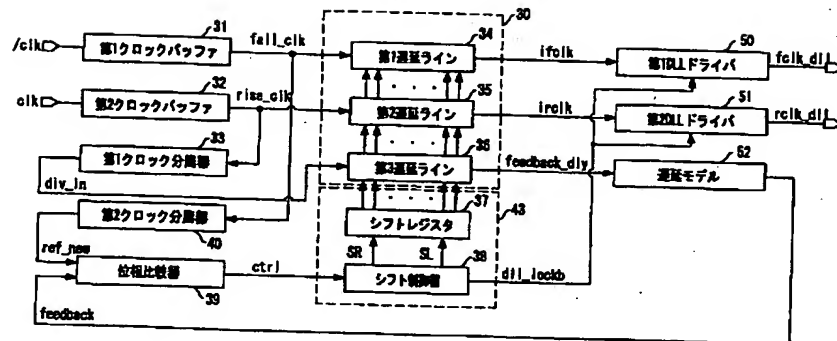
【図4】 図3のレジスタ制御DLLにおける各部信号波形のタイミング図である。

#### 【符号の説明】

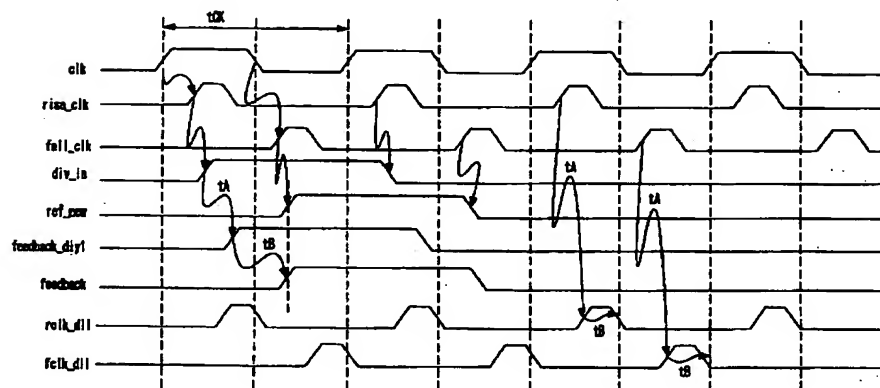
33…第1クロック分周器、39…位相比較器、40…第2クロック分周器、43…遅延制御手段、52…遅延モデル



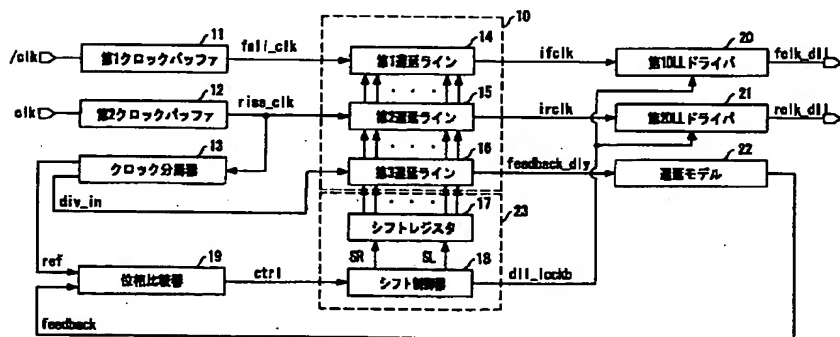
【図1】



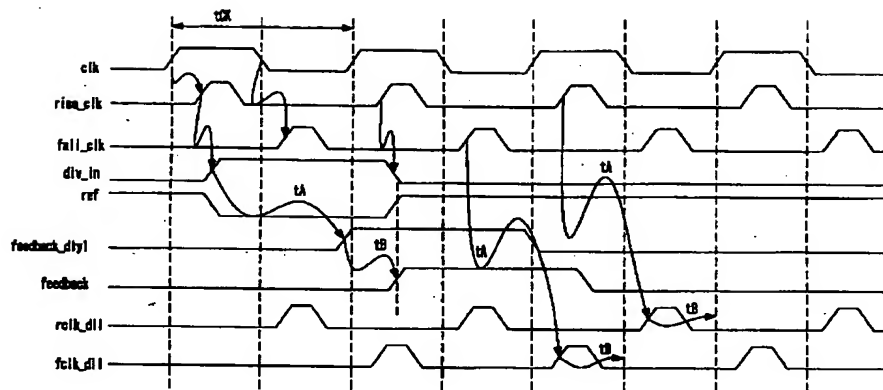
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5J106 AA04 CC21 CC52 CC59 DD39  
GG10 HH02 KK03 KK38 KK40  
5M024 AA54 BB27 BB34 DD83 GG02  
JJ03 JJ32 JJ38 PP01 PP07